

Über JTAG-Pin oder Flash Konfigurierbar

Auf Fertigmodule aufbauende Implementierungen bieten die Möglichkeit Produkte schneller und mit verringertem Entwicklungsrisiko zu entwickeln. Das FPGA Modul von Cesium ist mit einem VIRTEX-II Baustein einer Komplexität von einer Million Gattern und einem DDRSDRAM ausgestattet. Zum Testen des Moduls und zum schnellen Aufbau von Handmustern steht ein passives Träger-Board mit integrierter Spannungsregelung zur Verfügung

Moderne FPGA Bausteine sind leistungsfähig wie nie zuvor. Mit Taktfrequenzen jenseits von 200 MHz, einer nahezu unüberschaubaren Anzahl von I/O-Standards und weit über 1000 Anschlüssen im BGA-Gehäuse stellt ihre elektrische und mechanische Integration in ein Gesamtsystem eine beachtliche Entwicklungsleistung dar. Ein wesentlicher Vorteil der FPGAs, nämlich bei kleinen Stückzahlen wirtschaftlich einsetzbar zu sein, wird durch einen beträchtlichen Hardwareentwicklungsaufwand zunichte gemacht. Das FPGA-Modul XV2DDR von CESYS soll diese Nachteile mindern und den Einsatz eines VIRTEX-II FPGAs mit einer Million Gatter auch für Prototypen und kleine Serien wirtschaftlich möglich machen (Bild 1). Das auf dem Modul verwendete FPGA von Xilinx trägt die Bezeichnung: XC2V1000-5FG456C. Da viele Anwendungen externen Speicher benötigen, wurde auch ein Double-Data-RAM-Baustein auf das Modul integriert. Um einen Vorteil zu bieten muss ein FPGA-Modul einige Erleichterungen bieten beziehungsweise Eigenschaften aufweisen, die ein einzelnes FPGA nicht hat.

Neben der Zeitersparnis bei der Entwicklung und dem Wegfall des Entwicklungsrisikos sind dies:

- Das Einlöten eines großen BGA-Bauteils ist mit im eigenen Haus verfügbaren Mitteln oft nicht möglich. Die Notwendigkeit dazu entfällt bei Einsatz eines fertigen Moduls. Die Steckverbinder zum Modul können für Prototypen von Hand eingelötet werden.
- Für das Leiterplatten-Layout werden statt typischerweise acht Lagen in den meisten Fällen nur noch zwei oder vier Lagen benötigt.
- Der Platzbedarf wird minimiert, da das Modul Bauteile kleiner Bauform (0402) benutzt, die sonst möglicherweise nicht verarbeitet werden könnten. Der Leiterplattenplatz unter dem Modul und auf der gegenüberliegenden Leiterplatten-seite bleibt für geeignete Bauteile verfügbar.
- Das Modul benötigt nur eine einfache Spannungsversorgung von 3,3 Volt. Die für das FPGA und das DDR SDRAM benötigten Spannungen von 2.5 V , 1.5

V und 1.25 V werden intern stabilisiert.

- Es werden verschiedene FPGA - Konfigurationsmöglichkeiten unterstützt, die ohne zusätzlichen Entwicklungsaufwand sofort zur Verfügung stehen.
- Die Lagerhaltung wird preiswerter, weil die Module nach Bedarf beschafft werden können.
- Ein Steckmodul ist im Gegensatz zu einem FPGA wiederverwendbar, sieht man einmal von der Möglichkeit der Verwendung eines BGA-Sockels ab.

Für Designs, die zusätzlich externen Speicher benötigen ergeben sich weitere Vorteile:

- Die elektrische Schnittstelle zum DDR SDRAM steht fertig zur Verfügung. Man muss sich nicht mehr um Probleme der Terminierung, der Leiterbahnführung und der Auswahl geeigneter FPGA-Pins kümmern.
- Die IP (Intellectual-Property) zur Benutzung des DDR-SDRAMS ist komplett getestet und kann in eigenen Designs verwendet werden. Es steht ein speziell auf den SDRAM-Baustein des Moduls angepasster Memory-Controller bereit. Universelle Memory-Controller von Drittanbietern müssen erst angepasst und verifiziert werden.

Je nach geplantem Anwendungsfall ist es notwendig, dass sich das FPGA aus einem lokalen Speicher selbst konfiguriert oder von einem übergeordneten



Bild 1. Das FPGA-Modul XV2DDR ist mit einem Virtex-II FPGA bestückt

Prozessor konfiguriert wird. Während der Entwicklungsphase des FPGA Designs ist es vorteilhaft, wenn die Konfiguration über die JTAG Schnittstelle erfolgen kann. Jede neue Version des Designs kann so ohne Umweg direkt geladen werden was den Entwicklungszyklus verkürzt. Das XV2DDR Modul bietet alle drei Möglichkeiten der Konfiguration. In jedem Fall zeigt die mit »Done« beschriftete Leuchtdiode an, dass eine Konfiguration erfolgreich geladen wurde.

1. Konfiguration über die JTAG-Schnittstelle: Die JTAG-Schnittstelle ist eine synchrone serielle Schnittstelle, die es ermöglicht mehrere Bauteile zu verketteten und von einem zentralen Punkt aus einzeln anzusprechen. Auf dem XV2DDR Modul befinden sich zwei durch JTAG verkettete Bauteile: das VIRTEX-II-FPGA und ein XC18V04 Flash Speicher (Bild 3). Mehrere Module können selbst wieder eine JTAG Kette bilden. In den FPGA Entwicklungs-Tools von Xilinx (ISE 5.1i) findet sich das Programm Impact. Zusammen mit

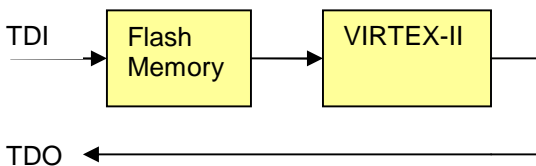


Bild 3. FPGA und Flash Speicher in der JTAG-Kette.

einem Xilinx-Download-Kabel kann es Konfigurationsdateien via JTAG in das FPGA übertragen oder in den Flash-Speicher programmieren. Auch wenn nur eine der beiden Komponenten »Flash Memory« oder »Virtex-II« programmiert werden soll, sind immer Konfigurationsdateien für beide Komponenten erforderlich. Für das Flash-Memory wird ein PROM_File (*.mcs) benötigt. Die Option »startup-clock« muss bei der Erzeugung der Datei auf CCLK eingestellt sein. Für das Virtex-II ist eine FPGA bitstream Datei (*.bit) mit auf »JTAG« gesetztem startup clock erforder-

lich. Diese beide Dateien können danach vom Dienstprogramm Impact des ISE-Entwicklungssystems benutzt werden, um das Flash zu programmieren oder das FPGA zu konfigurieren.

2. Konfiguration durch den Flash Speicher: Das Modul kann nach Anlegen der Betriebsspannung das FPGA selbstständig mit den im Flash-Speicher hinterlegten Daten konfigurieren. Diese Betriebsart ermöglicht es das Modul ohne ein PC-Download-Kabel und ohne externen Prozessor zu betreiben.

3. Konfiguration über Select-Map-Interface: Bei dem SelectMap Interface handelt es sich um eine parallele Schnittstelle. Sie kann dazu benutzt werden das FPGA durch einen angeschlossenen Prozessor oder Mikrokontroller zu konfigurieren.

Das XV2DDR Modul ist mit zwei 140-poligen Tyco/AMP-Steckverbindern bestückt. Ihre Kontakte haben einen Raster von 0,8 mm und sind manuell

lötbar. Von den 280 Anschlüssen des Moduls sind 219 direkt mit dem FPGA verbunden. Die verbleibenden Pins dienen der

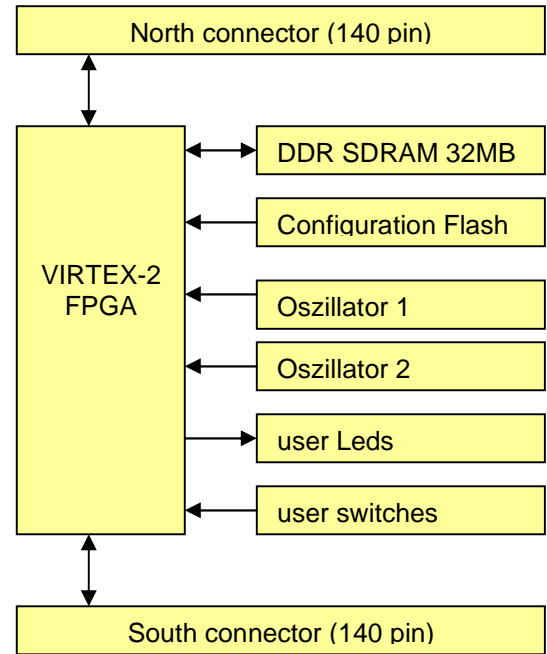


Bild 2. Das Virtex-II FPGA ist das Herz des Moduls.

Stromversorgung und der Konfiguration.

Zum Testen des Moduls und zum schnellen Aufbau von Handmustern bietet Cesys ein passives Träger-Board mit integrierter 3,3 Volt Spannungsregelung an (Bild 4). Die Eingangsspannung kann zwischen 6 V und 24 V betragen. Auf Standardstiftleisten mit 2,54 mm Raster können alle Signale des Moduls abgegriffen werden.

DDR-SDRAM Controller: Double-Data-Rate-SDRAMs haben eine interne State-machine, die den Zugriff auf die

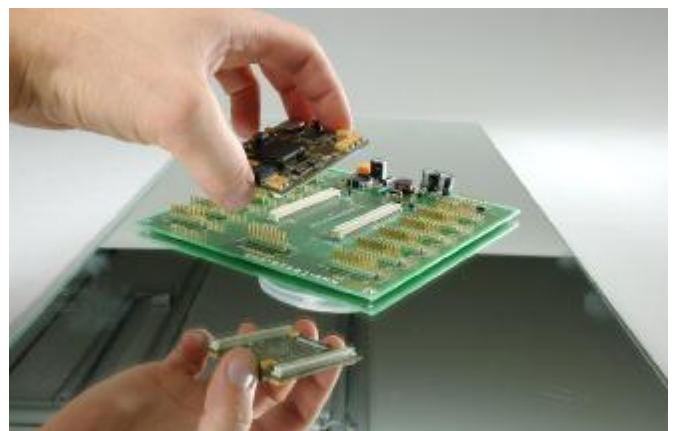


Bild 4. Für das XV2DDR Modul ist ein passives Trägerboard mit Spannungsregler verfügbar.

gespeicherten Daten steuert. Außer mit Adressen und Daten müssen Sie deshalb auch mit Kommandos versorgt werden, zum Beispiel Deselect, No-Operation, Activate, Read, Write, Burst-Terminate, Precharge, Load(-Extended)-Mode-Register.

Die Ansteuerung eines DDR-SDRAMs ist relativ aufwändig und erfordert einen Memory-Controller. Er ist in FPGA-basierten Schaltungen in der Regel Teil des FPGA-Designs. Seine Aufgabe ist es den Speicherbaustein zu bedienen. Dazu gehört das Öffnen und Schließen der Speicherbänke sowie die Ausführung von Refresh- und Precharge-Zyklen. Lese- und Schreibkommandos werden mit einer Burst-Länge von 2, 4 oder 8 ausgeführt. Die Burst-Länge und weitere Eigenschaften des Speichers lassen sich in seinen internen Kommando-Registern einstellen. Die Speicherbausteine haben einen Takteingang und benutzen steigende und fallende Flanken zur Datenübertragung. Gegenüber traditionellen SDRAMs verdoppelt sich dadurch die Datenübertragungsrate bei gleicher Taktfrequenz. Der auf dem Modul eingesetzte DDR-SDRAM-Speicher arbeitet mit maximal 133 MHz. Mit seinem 16 Bit breiten Datenbus erzielt er eine Übertragungsrate von 532 MByte/s. Takflanken, die für das Öffnen und Schließen der Bänke sowie für Precharge und Refresh gebraucht werden, können keine Daten übertragen. Die tatsächlich erzielbare Datenrate liegt deshalb unter dieser theoretischen Obergrenze.

Der elektrische I/O-Standard des eingesetzten Speichers ist SSTL_2. Der High-Pegel dieses Standards beträgt 2,5 V. Normalerweise müssen alle SSTL_2 Signale mit 1,25 V terminiert werden. Auf dem XV2DDR-Modul ist das wegen der kurzen Leitungslängen und der im Speicherbaustein programmierbaren »reduced drive strength« nicht nötig. Der für das Modul erhältliche DDR-

SDRAM-Controller programmiert das entsprechende Bit im Speicherbaustein selbsttätig. Die Benutzerschnittstelle des Speichercontrollers besteht aus acht Signalen (Tabelle). Alle Eingänge und Ausgänge beziehen sich auf den Systemtakt clk. Die Controller auszuführende Funktion wird durch das Signal »cmd_q« bestimmt. Die oberen 5 Bit dieses Vektors haben kei-

Kommandos, die trotz aktiven busy-Signal gegeben werden, ignoriert der Controller (Bilder 5 und 6).

Die Adressleitungen des Controllers spiegeln die Bankstruktur des DDR-SDRAMs wider. Der MT46V16M16 Speicherbaustein von Micron ist in vier Bänke unterteilt. Jede Bank besteht aus 8192 Reihen und jede Reihe enthält 512 Speicherplätze

Signal	Richtung	Typ	Beschreibung
Clk	in	std_logic	Maximum 133 MHz system clock
rst_n	in	std_logic	Async. reset, low active
addr_q (23 downto 0)	in	std_logic_vector	Ram address
data_in_q (31 downto 0)	in	std_logic_vector	Ram input data
cmd_q (6 downto 0)	in	std_logic_vector	Command
data_out_q (31 downto 0)	out	std_logic_vector	Ram output data
data_vld_q	out	boolean	Output data valid (ready)
busy_q	out	boolean	Controller busy, further commands are ignored

ne Bedeutung. Die beiden unteren Bits, legen das Kommando fest:

cmd_q="xxxxx00" NOP = no command, idle
 cmd_q="xxxxx01" Burst Read
 cmd_q="xxxxx10" Burst Write

Die Read- und Write-Kommandos müssen einen Clock-Zyklus lang gültig sein und von einem NOP-Kommando gefolgt werden. Zusammen mit dem Kommando wird die gewünschte Startadresse übernommen. Im Falle eines Write-Kommandos werden auch gleich die beiden ersten 16-Bit Datenworte übernommen. Weitere Datenworte bis zum Erreichen der Burst-Länge (2, 4 oder 8) werden in den darauf folgenden Taktzyklen übernommen. Mit der Übernahme eines Kommandos wird das busy_q Signal aktiv. Es bleibt aktiv, bis der Controller bereit ist ein neues Kommando auszuführen.

(Spalten) mit 16 Bit Breite. Sein Adressraum beträgt daher: 4 Bänke x 8192 Reihen x 512 Spalten x 16 Bit = 256 Mbit = 32 MByte

Die Zuordnung der Adressen des Controllers zu den physikalischen Speicherplätzen sieht folgendermaßen aus:

addr_q : 24 Bit Adresse
 addr_q(23..22) : (bank select) 2 Bit zur Auswahl von Bank 0 bis 3
 addr_q(21...9) : (row address) 13 Bit zur Auswahl von Reihe 0 bis 8191
 addr_q(8.....0) : (column address) 9 Bit zur Auswahl von Spalte 0 bis 511.

Die I/O Spannungspegel können für die Signale der beiden 140-poligen Steckverbinder getrennt auf 3,3 V oder 2,5 V eingestellt werden. Die Signale des Steckers mit der Bezeichnung North-Connector stammen von den Virtex-II Bänken 4, 5 und 6. Der South-Connector ist mit den Bänken 0, 2 und 7 verbunden. Zum Anschluss des DDR-SDRAM an das FPGA werden die Bänke 1 und 3 benutzt.

Die Digitally Controlled Impedance (DCI) ermöglicht es, die Impedanz der I/O-Pins des FPGAs festzulegen und einphasige Eingänge definiert zu terminieren. Anstatt jede Signalleitung einzeln mit einem entsprechenden Widerstand zu versehen, können an jede Bank Referenzwiderstände angeschlossen werden, die die Impedanz und den Abschluss der I/O Signale definieren. Bei dem Modul sind auf diese Art Bank 0, 2, 4, 5 und 6 mit 50 Ohm abgeschlossen. Ob die Terminierung wirksam sein soll oder nicht, kann im FPGA-Design für jeden Pin individuell festgelegt werden (keine Terminierung, Serienwiderstand oder Parallelabschluss). Die Konfigurationsdaten des FPGAs können bei Ihrer Erzeugung mit einem Triple-DES Algorithmus verschlüsselt werden. Nur Bausteine mit dem passenden Gegenschlüssel können die Konfiguration dann laden. Damit die im Logikbaustein hinterlegten Schlüssel bei Stromausfall nicht verloren gehen, ist auf dem Modul eine Batterie vorhanden. Sie ist dazu ausgelegt die Schlüssel bis zu 10 Jahre zu erhalten.

Auf dem Modul stehen zwei Quarzoszillatoren als Taktquelle für das FPGA zur Verfügung. Die Standardfrequenzen sind 40

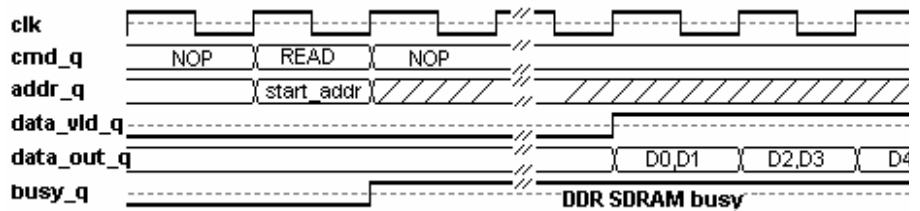


Bild 5. DDR-SDRAM Read Cycle

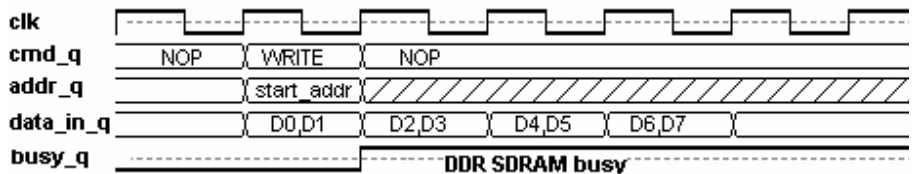


Bild 6. DDR-SDRAM Write Cycle

MHz und 80 MHz. Weitere externe Taktquellen können zusätzlich verwendet werden. Mit Hilfe des FPGA-DCM (Digital-Clock-Manager) kann die Frequenz eines angelegten Takts transformiert werden, um die gewünschte interne Frequenz zu erhalten.

Die Stromaufnahme des unkonfigurierten Moduls beträgt typisch 70 mA. Abhängig von der Komplexität und Taktfrequenz des FPGA Designs ergibt sich im Betrieb eine höhere Stromaufnahme. Die im XILINX Entwicklungssystem ISE 5.1i enthaltenen Tools beinhalten unter anderem ein Programm zur Abschätzung der Stromaufnahme eines kompletten Designs (XPower).

Das XV2DDR Modul wurde von Cesium im Rahmen der Entwicklung eines Splitters für digitale Videodaten eingesetzt. Ziel war die Ansteuerung mehrerer kleiner RGB LED-Anzeigen, die zu einem Großbildschirm zusammengefügt werden können. Das Modul wurde dabei aus Sicht des Entwicklers wie ein komplexes Bauteil benutzt. Dadurch konnte die Leiterplatte des Splitters in vier Lagen ausge-

führt werden.

Als Eingangssignal bekommt der Splitter digitale Videodaten (768 x 1024 Pixel) mit 40 Hz bis 80 Hz Wiederholrate. Er besitzt 16 optische POF-Lichtleiter Ausgänge. (Plastic Optical Fibre.)

Jeder Ausgang überträgt eine 128 x 128 Pixel große Kachel des Gesamtbilds mit einer Wiederholrate von 25 Bildern pro Sekunde an ein angeschlossenes LED-Anzeigemodul.

Das Datenblatt des XV2DDR Moduls sowie weitere Informationen stehen auf der CESYS-Website zur Verfügung.



WWW.CESYS.COM

CESYS Gesellschaft für angewandte Mikroelektronik mbH. Zeppelinstrasse 6a.
D-91074 Herzogenaurach. Telefon 09132 – 733 400. Telefax 09132 – 733 400.
Email sales@cesys.com